#### Abstract

The present invention relates to an ESD (Electro-Static Discharge) protection circuit, and specifically to an ESD protection circuit configured to improve an ESD protection characteristic.

An ESD protection circuit of this kind according to the present invention is characterized by being configured by including: a substrate of a first conduction type in which an activation region and a field region are defined; a well of a second conduction type formed in a predetermined area in the activation region in the substrate of the first conduction type; a first and a second high-concentration impurity regions of the first conduction type formed with a certain distance therebetween in the well of the second conduction type; a low-concentration impurity region of the first conduction type formed between the first and the second high-concentration impurity regions of the first conduction type; and a high-concentration impurity region of the second conduction type formed with a certain distance between itself and the second high-concentration impurity region of the first conduction type.

폭대청개특이 AIT1990~40410오(1990.U9.U0) 1후.

墨 1958-043416

## (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. CL.\*

(11) 공개번호

每1998-04341G

TEMPLES AND

1900년(1920년)

HOIL 27/06	(43) 공개일자 - 1900년(6월 6월
(21) 출원번호 ·(22) 출원일자	목1995-961263 1996년 12월03일
-(21) 출원인 - (21) 출원인	엘지반도체 주식회사 문정관
(72) 발명자	충청북도 청주시 홀덕구 항정동 1번지 박용
	경기도 안양시 만안구 안양5동 <b>387~7</b> 12/2 최선
	경기도 고양시 덕양구 관산동 231 통일발라 B-101
	김항귀
(제) 대리인	대구광역사 등꾸 자제동 대상발라 105-301 강용복, 김용인

### (54) 이에스디(ESD) 보호 회로

 $SC_{\mathcal{F}}$ 

본 발명은 ESB(Electro Static Discharge) 보호 회로에 관한 것으로 특히, ESD 보호 특성을 향상시키도록 한 ESD 보호 회로에 관한 것이다.

이와 같은 본 발명의 ESO 보호 회로는 활성영역과 필드영역으로 정의된 제 1 도전형 기판과, 상기 제 1 도전형 기판의 활성영역의 소정영역에 형성된 제 2 도전형 활과, 상기 제 2 도전형 활대에 일정한 간격을 갖고 형성되는 제 1 도전형 제 1, 제 2 권동도 물문병 경역과, 상기 제 1 도전형 제 1, 제 2 교통도 물문 당 함의 사이에 형성되는 제 1 도전형 저동도 물문병 역약과, 상기 제 1 도전형 제 2 교통도 물문병 영역 과 임정한 간격을 갖고 형성되는 제 2 도전형 고통도 불문병 영역을 포함하며 구성됨에 그 특징이 있다.

.1:426

and Mark

1 jong 2712 2097

도 1은 총래의 ESD 보호 회로를 나타낸 구조단면도

도 2는 본 발명의 830 보호 회로를 나타낸 구조단면도

도 35와 도 35는 중래와 본 발명의 동일한 전입에서 포텐셜의 차이를 나타낸 도면

+도면의 주요 부분에 대한 부호의 설명+

21 : n형 실리콘 기판22 : p-헬

20 : 제 1 - 설팅 right 변호를 받고 24 : 제 2 권독로 right 불안공 나의

25 : 제봉도 reg 생성을 양악26 : 신경도 reg 선순병 명목

不同性 经规则 開於

Apply 442)

图DOLLARS JEST V TRIMA TRIMA

. 본 발명은 ESD(Electro Static Discharge) 보호 최로에 판한 것으로 특히, ESO 보호 특성을 향상시키도록 한 ESD 보호 최로에 관한 것이다.

일반적으로 반도체 장치에 있어서, ESD(Electro Static Discharge) 보호 회로는 약 200 ~ 2000V의 등군시 동으로부터 내부화로가 파괴되는 곳을 먹기 위한 보호 회로로서, 상기 ESD 보호 회로의 방법에는 SDR을

等1998-043416

이용한 방법과 필드 트런지스터, 다이오드, 테이폴라 트렌지스터 등을 이용한 방법을 사용한다.

그런데 반도체 소자가 고접적화됨에 (대라 ESO와 같은 높은 진압이 인가되는 부분(즉, 필드 트랜지스터, 바이플라 트랜지스터 등)의 게이트 신화막은 그 두메가 얇아지기 때문에 ESO 보호 최로에 포함한 행동료 자와 이 능동소자에 연결된 내부회로의 등동소자는 내부회로의 다른 등동소자보다 ESO 특성이 더욱더 나빠지게 된다.

그래서 중래에는 마러한 ESD 특성을 영가하는 방법으로서 ABM(Human Body Model) 방법이다 MM(machine Model) 방법을 마용하였다.

그러나 최근에 생산하고 있는 반도체 소자에 있어서는 같은 참(Ohip)내에서 동양한 두메의 게이트 산화막 을 이용하여 내부회로를 형성하고 있다.

그 한구(X) 여로 640(RAM인 경우에는 ۾ 진재에 산화막의 후배를 약 100A 장도로 동일하게 사용하고 있다.

이와 같은 반도체 소자가 고갑적회원에 따라 패키지(Pakage) 크기가 증가하고 선화막이 얇아지기 때문에 CDM(Charged Device Model)를 이용하여 ESD 특성을 파악하는 기술이 중요하게 대투되고 있다.

상기에서 언급한 두 가지 방법(HBM, MM)에 의해 파괴되는 부분은 주로 정할 가장자라이지만, CDM)에 의해 파괴되는 부분은 주로 각 등통소자의 게이트 산화막이 된다.

류, 렇게 COM 방법에 의해 가해지는 ESD 필소(Pulse)가 최고 전류까지 도달하는데 걸리는 시간은 약 InsecOla, Olau ESD 보호 회로가 동작하는데 걸리는 시간도 InsecOla.

그러므로 ESD 보호 회로가 통작하기도 전에 ESD 필스가 ESD 보호 회로에 표현된 등통소자의 산화막과 내 부회로에 연결된 등통소자의 산화막을 표계하게 된다.

(B)라서 반도체 소자기 고갑적회됨에 (B라 ESO 보호 최로와 상기 보호 최로에 연결된 동통소지 뿐만 OHL) 라 보호 최로 근망해 있는 내무회로도 ESO에 의해 영향을 받게 된다.

이하, 첨부된 도면을 참조하여 중래의 ESO 보호 회로를 설명하면 다음과 같다.

도 1은 종례의 ESO 보호 최로를 나타낸 구조단면도이다.

도 1에 도시된 비와 같이 활성학학과 필드학학으로 정의된 n형 실리본 가판(11)의 활성학학의 소정학학에 만할(12)이 형성되고, 상기 만할(12)내에 일정한 간격을 가지고 제 1, 제 2 교육도 n형 성수를 당착(13, 14)이 형성되며, 상기 제 2 교육도 n형 방송을 영화(14)과 일정한 간격을 두고 고학수 p형 생승물 영화(15)이 형성된다.

그리고 상기 제 1 교육도 n형 필순을 명확(13)에 전압에 인가되는 판(Pin)이 연결되고, 상기 제 2 교육도 n형 필순을 영역(14)에는 접지전압(Yas)이 연결된다. 또한, 상기 교통되 p형 변순을 당각(15)에는 전원전 압(V<sub>ic</sub>)이 연결된다.

여기서 활성병적의 구조분 n+ 형택 - p+웰 - n+ 영역의 구조를 바룬다.

상기와 같이 이루어진 증래의 ESD 보호 최로의 동작은 외부에서 강한 전압이 판을 통하며 인기되면 접지 단으로 빠져나가 내부회로를 보호하게 된다.

TOYOUTANAM MIL MANY BA

· 그러나 상기와 같은 종래의 ESD 보호 회로에 있어서 다음과 같은 문제점이 있었다.

즉, 전하 방전량이 적기 때문에 ESO를 효과적으로 보호하지 못한다.

면 발명은 생기와 같은 문제점을 해결하기 위해 안출한 것으로 전하 방전량을 높이도록 한 ESD 보호 최로 를 제공하는데 그 목적이 있다.

1919 111 9 18

상기와 같은 목적을 달성하기 위한 본 발명의 ESO 보호 회로는 활성증업과 필드적 1으로 정의된 제 1 도 전형 기판과, 상기 제 1 도진형 기판의 활성영역의 소청영역에 형성된 제 2 도전형 웰과, 상기 제 2 도전 형, 휄대에 일정한 간격을 갖고 형성되는 제 1 도전형 제 1, 제 2 고봉투 병수를 선택과, 상기 제 1 도전 형 제 1, 제 2 고봉투 병수병 행의 사이에 형성되는 제 1 도전형 제봉도 불수를 선택과, 상기 제 1 도전 형 제 2 고등투 응호병 역명과 일정한 간격을 갖고 형성되는 제 2 도전형 고등은 연수을 설억을 포함하여 구성당에 그 특징이 있다.

이하, 첨부된 도면을 참조하며 본 발명의 ESD 보호 회로를 상세히 설명하면 다음과 같다.

도 2는 본 발명의 ESO 보호 회로의 구조를 나티낸 구조단면도이다.

도 2에서와 같이 활성으로과 필드용적으로 정의된 r형 실리콘 기판(21)의 활성으로의 소청역약에 며칠 (22)이 형성되고, 성기 며칠(22)에는 일정한 간격을 갖고 제다. 제 2 로운은 r형 등급성으로 (23, 24)이 형성되며, 성기 제 2 분성도 r형 봉순성 열의(24)과 일정한 간격을 두고 보다는 r형 공간을 열락(26)이 형성된다.

- 그리고 생기 제 1; 제 2 고병의 n월 출근을 달라(23, 24) 사이에 저동도 n형 병원의 클리(25)이 형성된다.

함면, 상기 제 1 교육는 n형 복순량 양역(23)배는 외부전압이 인가되는 판(Pin)에 연결되고, 상기 제 2

至1998-043月5

기는 ( n형 청소병 학생(조)에는 접지전압(또로)이 연결되며, 장기 그렇지 n형 목표의 학생(조)에 전원전 업(Va)이 연결된다.

이렇서 살기 제 1, 제 2 고등도 n형 불호물 확억(23, 24) 사이에 제동도 n형 물론을 들는(25)이 형성되면 판과 집지단(Vss)에서 전히방전량이 증가한다.

여기서 결성관련의 구조는 n+ 역성 - p+월 - n+ 영성 - p+월 - in+ 약편이 된다.

표 않의 도 35는 중래와 본 발명의 동안한 건입에서 포텐션의 차이를 나타낸 도면이다.

로 3a의 또 (billion의 글이 접지만(Vss)이 턴오(Turn On)되기 위한 With Whith 크며, 여기서 상기 Va는 접지만을 당은시키가 위한 본 발명의 전압을 나타 낸다.

그 멀리 동일한 견입에서<sup>\*</sup>본 발명에 따른 EXD 보호 회로와 전치방전략이, 증가함을 볼 수 있다.

이상에서 설명한 바와 값이 본 발명의 ESD 보호 회로에 있어서 전해 방전량이 증가하므로써 ESD를 효과되으로 보호하는 효과가 있다.

### $PMS \times FT / TS$

#### 청구함 1

활성성 (교) 월드전 등으로 정의된 제 1 로전형 기판:

성면 제 1 도전형 기판의 환성학교의 소정교학에 형성된 제 2 도전형 휄:

상기 제 2 도면형 헬비에 일정한 간략을 갖고 형성되는 제 1 도전형 제 1, 제 2 기사의 중심한 역약:

장기 제 1 도전형 제 1, 제 2 만들은 불편형 입의 ADDM 형성되는 제 1 도전형 제공도 작은은 달라는

상기 제 : 도전형 제 2 교병을 형균될 형벽과 일정한 간격을 갖고 형성되는 제 2 도전형 유사의 정원당 목사용 포함하여 구성됨을 특징으로 하는 ESO 보호 화로.

#### 청구함 2

제 1 할<mark>에</mark> 있어서, 삼가 제 1 도전형 제 1 교통도 동순을 상력해 외부에서 <mark>인가되는 편이 연결된 것을 특</mark> 장으로 하는 ESD 보호 최로

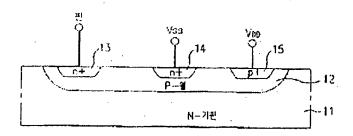
#### 청구항 3

제 1 항례 있어서, 장기 제 1 도전형 제 2 교육도 청술홍 영역에 접지단이 연결된 것을 특징으로 하는 ESD 보호 회로

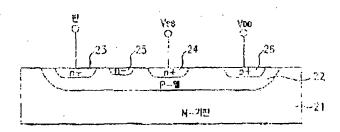
#### 청구함 4

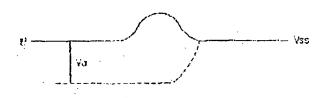
.제 1 할배 있어서, 삼기 제 2 도전형 교통도 본순물 양복에 전원전압이 <mark>인가됨을 특징으로</mark> 하는 ESO 보호 화로

58



#, 1998-04341S





6.75

